

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

009052333 ****Image available****

WPI Acc No: 1992-179714/199222

XRAM Acc No: C92-082341

XRPX Acc No: N92-135571

**Mfg. semiconductor device - by forming 1st film on insulating film by
high temp. sputtering and forming 2nd film of refractory metal on 1st
film NoAbstract Dwg 1/3**

Patent Assignee: FUJITSU LTD (FUIT)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 4116821	A	19920417	JP 90236316	A	19900906	199222 B

Priority Applications (No Type Date): JP 90236316 A 19900906

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 4116821	A		6 H01L-021/285	
------------	---	--	----------------	--

Title Terms: MANUFACTURE; SEMICONDUCTOR; DEVICE; FORMING; FILM;
INSULATE;

FILM; HIGH; TEMPERATURE; SPUTTER; FORMING; FILM; REFRACTORY; METAL;
FILM;

NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/285

International Patent Class (Additional): H01L-021/3205; H01L-021/88

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

03751721 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 04-116821 [JP 4116821 A]

PUBLISHED: April 17, 1992 (19920417)

INVENTOR(s): SEKINE HIROAKI

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 02-236316 [JP 90236316]

FILED: September 06, 1990 (19900906)

INTL CLASS: [5] H01L-021/285; H01L-021/285; H01L-021/3205

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JOURNAL: Section: E, Section No. 1245, Vol. 16, No. 367, Pg. 9, August
07, 1992 (19920807)

ABSTRACT

PURPOSE: To prevent the generation of a disconnection due to migration of Al in a fine Al wiring by a method wherein an insulating film is formed on a semiconductor substrate, the substrate is heated to form a first thin film and after a second film is laminated and formed in a state that a substrate temperature is maintained in the vicinity of the first thin film, the substrate is made to cool down, this laminated film of the first and second films is patterned en bloc and the electrode wiring is formed.

CONSTITUTION: A lower insulating film 2 is formed on a semiconductor substrate 1. A Ti film (a contact metal film) 3 and a TiN film (a barrier metal film) 4 are formed on the film 2. Then, a lower Al alloy film 5 is formed on the film 4 by a high-temperature sputtering method, in which a substrate temperature is heated in the range of 400 to 550 deg.C, and after a Ti film 6, which is thinner than the film 5 and consists of a high-melting point metal, is formed in a state that the substrate temperature is successively maintained, the substrate to be treated is cooled to normal temperatures. Then, a laminated film of the films 5 and 6 and the films 4 and 3 under the lower part of the laminated film are patterned en bloc by reactive ion etching using a resist pattern of a form, which corresponds to the form of a wiring pattern on the laminated film, as a mask and a low layer Al wiring 5L, which is constituted using the film 5 as its main conductive layer, is formed.

⑫ 公開特許公報(A)

平4-116821

⑤ Int. Cl.⁵

H 01 L 21/285

21/3205

識別記号

3 0 1 S
L

庁内整理番号

7738-4M
7738-4M

④ 公開 平成4年(1992)4月17日

6810-4M
6810-4M

H 01 L 21/88

R
N

審査請求 未請求 請求項の数 3 (全6頁)

⑥ 発明の名称 半導体装置の製造方法

⑪ 特 願 平2-236316

⑫ 出 願 平2(1990)9月6日

⑬ 発 明 者 関 根 弘 昭 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑭ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑮ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. アルミニウム若しくはその合金からなる第1の膜を主たる導電層とする半導体装置内部の電極配線を形成するに際し、

絶縁膜が形成された半導体基板上に、該半導体基板を400～550℃に加熱して行う高温スパッタ法若しくは高温バイアススパッタ法により前記第1の膜を形成する第1のスパッタ工程と、

少なくとも基板温度を前記第1のスパッタ工程と同等若しくはその近傍に連続して維持した状態で、前記第1の膜上に、スパッタ法若しくはバイアススパッタ法により、前記第1の膜よりも薄い高融点金属若しくはそのシリサイドからなる第2の膜を積層形成する第2のスパッタ工程と、

該第2のスパッタ工程を終わった後該半導体基板を降温せしめ、次いで前記第1の膜と第2の膜

との積層膜を一括パターニングして電極配線を形成する工程を有することを特徴とする半導体装置の製造方法。

2. 前記第1のスパッタ工程と第2のスパッタ工程とが、同一容器内で行われることを特徴とする請求項1記載の半導体装置の製造方法。

3. 前記第1のスパッタ工程と第2のスパッタ工程とが、気密に連結された異なる容器内で行われることを特徴とする請求項1記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔 概 要 〕

半導体装置の製造方法、特に微細化された際にも信頼性が維持されるAl若しくはその合金からなる配線の形成方法に関し、

主たる導電層となるAl若しくはAl合金膜を、ステップカバレッジ性に優れた高温スパッタ法或いは高温バイアススパッタ法により形成する際に、Alグレインの成長を抑えてその上面の平滑化を図

る方法を提供して、このAl若しくはAl合金膜を主たる導電層として形成される微細電極配線のAlのマイグレーションに起因する断線の発生を防止することを目的とし、

Al若しくはその合金からなる第1の膜を主たる導電層とする半導体装置内部の電極配線を形成するに際し、絶縁膜が形成された半導体基板上に、該半導体基板を400～550℃に加熱して行う高温スパッタ法若しくは高温バイアスパッタ法により前記第1の膜を形成する第1のスパッタ工程と、少なくとも基板温度を前記第1のスパッタ工程と同等若しくはその近傍に連続して維持した状態で、前記第1の膜上に、スパッタ法若しくはバイアスパッタ法により、前記第1の膜よりも薄い高融点金属若しくはそのシリサイドからなる第2の膜を積層形成する第2のスパッタ工程と、該第2のスパッタ工程が終わった後該半導体基板を降温せしめ、次いで前記第1の膜と第2の膜との積層膜を一括パターニングして電極配線を形成する工程を有し構成される。

金の内部配線を形成する方法が望まれている。

〔従来の技術〕

従来、半導体装置内部のAl配線に用いられるAl若しくはAl合金の薄膜は基板温度を250℃程度の低温に加熱した状態で堆積させる通常のスパッタリング方法によって形成されていた。しかし半導体装置の高集積化により、半導体素子及び、各種パターンの幅及び間隔が縮小され、これに伴いコンタクトホール、スルーホール、及び素子表面の凹凸段差等のアスペクト比が増大するにつれて、上記Al若しくはAl合金膜の形成に通常のスパッタリング法を用いた際には、そのステップカバレッジ性の不足から上記凹凸段差部における膜厚の減少が著しく、その部分でAl配線にAlのマイグレーションに起因する断線が発生し易くなって、半導体装置の信頼性が低下するという問題を生じていた。

そこで近時、基板をAlの融点に近い400～550℃に昇温させた状態で堆積を行う高温スパッタ或

〔産業上の利用分野〕

本発明は半導体装置の製造方法、特に微細化された際にも信頼性が維持されるアルミニウム若しくはその合金からなる配線の形成方法に関する。

半導体装置の内部配線には、低抵抗を有し、形成が容易で、且つ低コストである等の理由から、アルミニウム(Al)、若しくはAl-1%Si、Al-1%Si-0.1%Cu、Al-0.15%Ti-0.1%Cu等のAlを主成分とするAl合金の薄膜が多く用いられている。

一方、LSI等の高集積化される半導体装置においては、上記Al若しくはAl合金からなる内部配線の幅も極度に微細化されてきており、それに伴ってエレクトロマイグレーションやストレスマイグレーションによる配線の断線が増大し、半導体装置の信頼性が低下する傾向にある。

そこで、上記Alのストレスマイグレーション或いはエレクトロマイグレーションによる断線防止のために、ステップカバレッジ性に優れていて段差部における膜厚の減少がなく、且つ上面が平滑になり均一な膜厚が得られるAl若しくはAl合

いは高温バイアスパッタによりAl若しくはAl合金膜を堆積させることにより、堆積膜のステップカバレッジ性を向上せしめる方法が提案されている。

しかし上記高温スパッタ法或いは高温バイアスパッタ法においては、ステップカバレッジ性の向上は認められるものの、スパッタが終わった後、スパッタ時の高温から常温に冷却される時点で、Alのグレインの成長が進み(例えばグレインサイズ10μm程度に及ぶこともある)、第3図に模式的に示すように大きく成長したAlグレイン51A、51B、51C等の境界部に凹部52が生じ、Al若しくはAl合金薄膜の表面に凹凸が形成される。

(図中、50は下層絶縁膜)

そのため、上記Al若しくはAl合金の薄膜をパターニングして形成した配線は、その上面に形成される凹凸によって、各部の断面積が均一にならず、半導体装置の高集積化が進み、内部配線の幅の微細化が極度に進んだ際には、局所的に配線の断面積が極端に減少する領域を生じ、この領域に

エレクトロマイグレーションやストレスマイグレーションに起因して断線が発生するという問題を生ずる。

〔発明が解決しようとする課題〕

そこで本発明は、主たる導電層となるAl若しくはAl合金薄膜を、ステップカバレッジ性に優れた高温スパッタ法或いは高温バイアススパッタ法により形成する際に、Alグレインの成長を抑えてその上面の平滑化を図る方法を提供し、このAl若しくはAl合金の薄膜を主たる導電層として形成される微細Al配線のAlのマイグレーションに起因する断線の発生を防止することを目的とする。

〔課題を解決するための手段〕

上記課題は、アルミニウム若しくはその合金からなる第1の膜を主たる導電層とする半導体装置内部の電極配線を形成するに際し、絶縁膜が形成された半導体基板上に、該半導体基板を400～550℃に加熱して行う高温スパッタ法若しくは高

板温度を維持した状態で、前記スパッタにより形成されたAl若しくはその合金膜上に連続して、前記スパッタ温度に比べ融点が極端に高い高融点金属若しくはそのシリサイドの薄い膜をスパッタ形成し、その後基板の室温への冷却を行う。

このようにすることにより、融点に近いスパッタ温度に加熱されていることによってマイグレートし易くなっているAl原子が、冷却に伴って集合して大きなグレインに成長するのが、極端に融点が高く400～550℃の高温でその剛性が十分に維持される高融点金属若しくはそのシリサイドの薄膜に押さえ込まれ、Al若しくはその合金薄膜の表面はほぼ平滑に形成される。

従って、この高融点金属若しくはそのシリサイドの薄膜を含むAl若しくはその合金薄膜をパターニングして形成されるAl配線の断面積は各部ではほぼ均一になって、局所的な電流密度の増大あるいは局所的な強度低下は回避され、エレクトロマイグレーションやストレスマイグレーションによる断線は防止される。

温バイアススパッタ法により前記第1の薄膜を形成する第1のスパッタ工程と、少なくとも基板温度を前記第1のスパッタ工程と同等若しくはその近傍に連続して維持した状態で、前記第1の膜上に、スパッタ法若しくはバイアススパッタ法により、前記第1の膜よりも薄い高融点金属若しくはそのシリサイドからなる第2の膜を積層形成する第2のスパッタ工程と、該第2のスパッタ工程を終わった後該半導体基板を降温せしめ、次いで前記第1の膜と第2の膜との積層膜を一括パターニングして電極配線を形成する工程を有する本発明による半導体装置の製造方法により解決される。

〔作用〕

即ち本発明の方法においては、内部配線の主たる導電層となるAl若しくはその合金の薄膜をステップカバレッジ性が高められる400～550℃における高温スパッタ法或いは高温バイアススパッタ法により形成した後、基板温度を下げず上記スパッタ時の温度或いはその近傍温度に引続いて基

〔実施例〕

以下本発明を、図を参照し実施例により具体的に説明する。

第1図(a)～(f)は本発明の方法の一実施例の工程断面図、第2図はターレット式高温スパッタ装置の概略構成図である。全図を通じ同一対象物は同一符号で示す。

第1図(a)参照

本発明の方法を用いて多層配線構造の半導体装置を製造するに際しては、図示されない半導体素子が形成された半導体基板1上に、通常通りCVD法によりSiO₂、PSG、BPSG等からなる厚さ1μm程度の下層絶縁膜2を形成し、この下層絶縁膜2の図示されない領域に半導体基板1の図示されない半導体素子の機能領域を表出するコンタクトホール(図示せず)を形成した後、前記図示されないコンタクトホールの内面及び下層絶縁膜2上にコンタクトメタルとなる厚さ200Å程度のTi膜3とバリアメタルとなる厚さ1000Å程度のTiN膜4とを順次通常のArスパッタ法により形成する。

第1図(b)参照

次いで、上記基板のバリアメタルとなるTiN膜4上に、基板温度をAlの融点に近い400~550℃の範囲の例えば500℃に加熱する高温スパッタ法により例えば例えばAl-1%Si-0.1%Cu組成を有する厚さ0.5μm程度のAl合金膜5を形成し、次いで基板温度を500℃に引続き維持した状態で、上記Al合金膜5上に厚さ300Å程度のTi膜6を形成した後、被処理基板を常温まで冷却する。

なお、上記Al合金膜5及びTi膜6の連続高温スパッタは、例えば第2図に概略構成を示すようなターレット式の高温スパッタ装置を用いて、以下に説明するような方法で行われる。

即ち、ターレット式高温スパッタ装置の、Arガスが流入されその圧力が例えば5~10mTorrに制御されているターレット式チャンバ32内の、ヒータ33で加熱された陽極34上に、前記バリアメタルとなるTiN膜4の形成を終わった被処理基板31(第1図(a)参照)を搭載し、被処理基板の温度をAlの融点に近い前記500℃に昇温せしめる。そし

てこの状態でターレット式陰極35の例えばAl-1%Si-0.1%Cu組成を有するAl合金ターゲット36を被処理基板31と対向せしめ、陽極34とAl合金ターゲット36間に例えば13.56MHzの高周波電力を、1~5W/cm²程度のパワー密度で印加し、被処理基板31上の前記TiN膜4上に上記下層Al合金膜5を0.5μm程度の厚さに形成し(第1図(b)参照)、次いでチャンバ32内のArガス圧を5~10mTorrに引続き維持し、且つ陽極温度即ち被処理基板31の温度を500℃に引続き維持した状態で、ターレット式陰極35を90度回転し、被処理基板31とTiターゲット37とを対向せしめ、陽極34とTiターゲット37間に前記同様の高周波電力を印加して500℃の高温スパッタ温度に引続き維持されているAl-1%Si-0.1%Cu組成の下層Al合金膜5上に厚さ300Å程度のTi膜6を形成し(第1図(c)参照)、その後この被処理基板31を陽極34上から取外して冷却する。なお、第2図において、38はArガス導入口、39は真空排気口、40はRF電源、41はコンデンサ、42は接地点を示す。

本発明の方法においては、上記のように高温スパッタにより形成された下層Al合金膜5(または純Al膜)の冷却が、その上にTi膜6等の高融点を有する金属或いはシリサイドの膜を引き続いて高温スパッタにより形成した後になされるので、被処理基板の常温への冷却に際し、下層Al合金膜5(または純Al膜)上面がその上部を覆って形成された上記高温スパッタ温度においても十分に剛性が維持されるTi膜6等の高融点金属またはそのシリサイド膜によって機械的に押さえ込まれている状態になる。そのため、上記高温スパッタ温度から冷却される際にAl合金膜5中のAlのグレインが大きく成長するのが抑えられて、下層Al合金膜5の上面は凹凸のない平滑な面となる。

第1図(c)参照

次いで、通常通り上記Al合金膜5とTi膜6との積層膜上に配線パターンの形状に対応する形状の図示しないレジストパターンを形成し、このレジストパターンをマスクにし、塩素系のガスをエッチングガスに用いる反応性イオンエッチングによ

り上記Al合金膜5とTi膜6との積層膜及び、その下部のTiN膜4(バリアメタル)、Ti膜3(コンタクトメタル)を一括パターニングして前記Al合金膜5を主たる導電層とする下層Al配線5Lを形成する。

第1図(d)参照

次いで、上記下層Al配線5Lの形成面上に、通常とおりCVD法によりPSG等からなる厚さ1μm程度の層間絶縁膜7を形成し、次いでこの層間絶縁膜7に通常のフォトリソグラフィにより下層Al配線5L上面のTi膜6を表出するスルーホール8を形成する。

第1図(e)参照

次いで、上記スルーホール8の内部を含む層間絶縁膜7上に、前記下層Al配線5Lを形成する場合と同様に、第3図に示したターレット式高温スパッタ装置を用い、前述と同様500℃のスパッタ温度で下層配線と同様のAl-1%Si-0.1%Cu組成を有する厚さ1μm程度の上層Al合金膜9を形成し、次いで基板温度を500℃に引続き維持した状態で、

上記Al合金膜9上に厚さ300Å程度のTi膜10を形成し、次いで上記Ti膜10の形成を終わった被処理基板を常温まで冷却する。

なお、この冷却に際し、上層Al合金膜9の上面がAl合金膜9上を覆って形成された前記Ti膜10によって機械的に押さえ込まれているので、Al合金膜9中のAlのグレインが大きく成長するのが抑えられ、上層Al合金膜9の上面は凹凸のない平滑な面となる。この際下層Al配線5Lも前記Ti膜6によってグレイン成長が押さえ込まれる。

第1図(f)参照

次いで、前記下層配線のパターンニングと同様な手段により上層Al合金膜9とTi膜10を一括パターンニングして上層Al合金膜9を主たる導電層とする表面が平滑な上層Al配線9Lを形成し、多層Al配線が完成する。

なお、本発明の方法を高温バイアススパッタ法により実施する際には、第3図に示すスパッタ装置において、ターゲットに20～50V程度の一電圧を印加してやればよい。この高温バイアススパ

ッタ法を用いれば、前記実施例に示す高温スパッタ法に比べ一層の平滑化が達成できる。

また、上記実施例の方法によれば、Al若しくはその合金膜とその上部に形成される高融点金属若しくはそのシリサイドの膜のスパッタが同一装置内において基板温度を低下させずに引き続いて行われるが、本発明の方法は上記実施例の方法に限らず、複数のスパッタ室を有するマルチチャンバ方式のスパッタ装置を用いAl若しくはその合金膜の高温スパッタまたは高温バイアススパッタを終わった後、その基板を上記高温スパッタ時の温度にできるだけ近い高温状態に引き続いて維持したまま別のチャンバ内に移動し、引続き前記基板温度を維持した状態で前記Al若しくはその合金膜上に高融点金属若しくはそのシリサイドのスパッタ膜を形成し、その後に基板を常温に冷却する方法で行うこともできる。

なお、高温スパッタで形成されるAl若しくはAl合金膜の下部にも、例えば300Å程度の薄いTi等の高融点金属膜を敷いてやることにより、一層平

滑性の向上が図れることもある。

また、本発明の方法において高融点金属には、実施例に示したTi以外にMo、W、Pt等も用いられ、高融点金属シリサイドにはTiSi₂、MoSi₂、WSi₂、PtSi₂等が用いられる。

(発明の効果)

以上説明したように本発明によれば、電極配線を形成するためのAl若しくはその合金の薄膜を、そのステップカバレッジ性を向上するために高温スパッタ法或いは高温バイアススパッタ法で形成する際、上記薄膜中のAlグレインが粗大化するのが防止されて薄膜表面が平滑に保たれる。

従って本発明によれば、ステップカバレッジ性に優れ、且つ各部が均一な厚さを有するAl若しくはその合金からなるAl配線が形成できるのでAl配線各部の断面積がほぼ均一化され、配線が微細化された際にも、局所的な応力集中によるAlのストレスマイグレーションや局所的な高電流密度によるAlのエレクトロマイグレーションに起因するAl

配線の断線は防止され、高集積化される半導体装置の信頼性を高めることができる。

4. 図面の簡単な説明

第1図(a)～(f)は本発明の方法の一実施例の工程断面図、

第2図は実施例に用いたターレット式高温スパッタ装置の概略構成図、

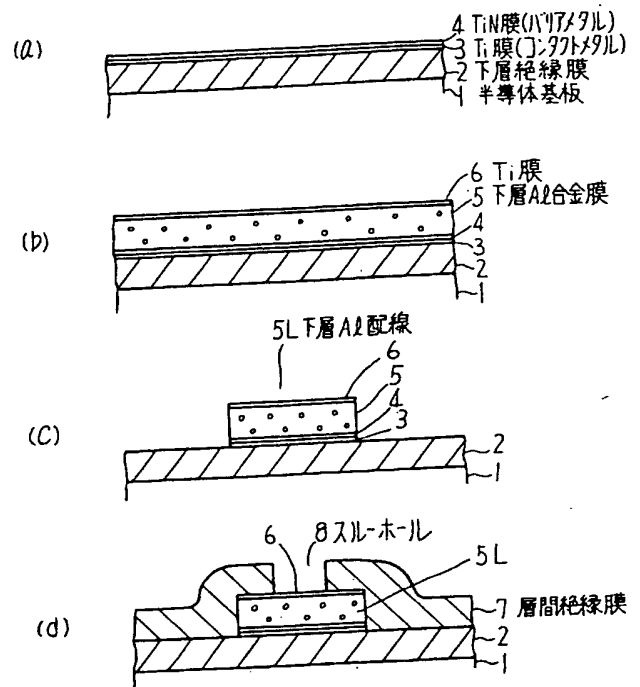
第3図は従来の問題点を示す模式断面図である。

図において、

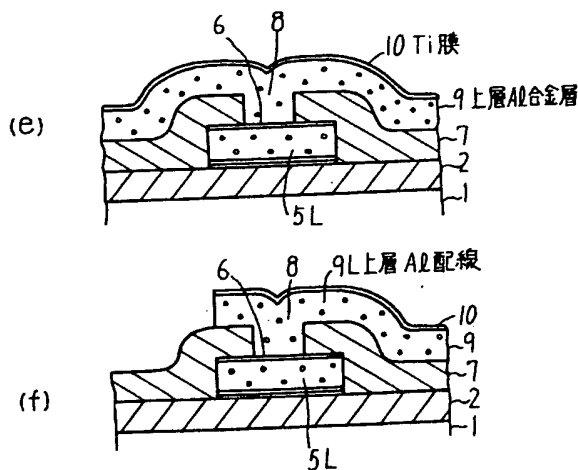
- 1は半導体基板、
- 2は下層絶縁膜、
- 3はTi膜(コンタクトメタル)、
- 4はTiN膜(バリアメタル)、
- 5は下層のAl(Al-1%Si-0.1%Cu)合金膜、
- 5Lは下層Al配線、
- 6、10はTi膜、
- 7は層間絶縁膜、

8はスルーホール、
9は上層のAl (Al-1%Si-0.1%Cu) 合金膜
9Lは上層Al配線
を示す。

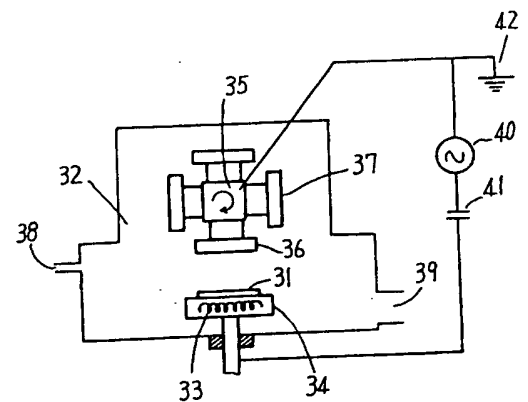
代理人 弁理士 井桁貞一



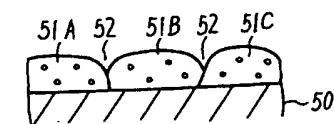
本発明の方法の一実施例の工程断面図
第1図 (その1)



本発明の方法の一実施例の工程断面図
第1図 (その2)



実施例に用いたターレット式高温炉装置の概略構成図
第2図



従来の問題点を示す模式断面図
第3図

BEST AVAILABLE COPY